

C208 – Arquitetura de Computadores – 2023/2 Professor: Yvo M C. Masselli

**Questão 1:** Com relação aos MUX que compõe o circuito apresentado na arquitetura de referência, um deles é habilitado (com controle em nível lógico alto) apenas para uma única instrução. Qual é este MUX e qual é a instrução correspondente?

1. O MUX cujo controle é ALU\_SCR. Neste caso, o ALU\_SRC é ligado apenas na execução da instrução "ADDI”.
2. O MUX cujo controle é MEM\_TO\_REG. Neste caso, o MEM\_TO \_REG é ligado apenas na execução da instrução "Store".
3. O MUX cujo controle é MEM\_ TO\_REG. Neste caso, o MEM\_TO\_REG é ligado apenas na execução da instrução "Load".
4. O MUX cujo controle é REG\_DEST. Neste caso, o REG\_DEST é ligado apenas na execução da instrução "ADDI".
5. Nenhuma das alternativas anteriores é verdadeira.

**Questão 2:** Na arquitetura apresentada, o campo FUNCT não está sendo utilizado. Isto não interferiu na execução das operações executadas pois:

1. Este campo só é utilizado em operações do tipo J (jump).
2. O ALU\_OP a todo tempo foi informado manualmente. O campo FUNCT é utilizado para, junto com o OPCODE, definir o valor do ALU\_OP.
3. A ULA não comporta as operações que envolvem o campo FUNCT.
4. Na arquitetura MIPS, em geral, este campo não é utilizado.
5. Nenhuma das alternativas anteriores é verdadeira.

**Questão 3 (10 pontos):** Em uma operação do tipo LW ou SW, o endereço de memória é composto por um endereço base e um oﬀset. Com base nisto são feitas as seguintes afirmações:

1. Isto ocorre porque cada instrução ocupa quatro bytes na memória de programa.
2. O oﬀset está diretamente ligado ao contador de programa (PC).
3. O endereço resultante é sempre a soma do endereço base com o oﬀset.

**São verdadeiras as seguintes aﬁrmações:**

1. Somente I.
2. Somente II e III.
3. Somente I e III.
4. Somente III.
5. Todas.

**Questão 4:** Qual o papel do extensor de bits no circuito apresentado?

1. Adequar o número de bits à entrada da ULA em uma operação do tipo ADD, por exemplo.
2. Garantir que os 16 bits do imediato em uma instrução tipo l possam ser utilizados como entrada da ULA.
3. Garantir que os 16 bits mais significativos da instrução tipo R possam ser utilizados como entrada da ULA.
4. Adequar o número de bits à entrada da ULA em uma operação do tipo ADD, por exemplo.
5. Nenhuma das alternativas anteriores é verdadeira.

**Questão 5:** Considere a execução de uma instrução do tipo "**LW St5, 12(St2)**". Quais bits de controle devem ser habilitados para que esta instrução seria executada corretamente? Explique.

**R.: MEMTOREG: a instrução load move da memoria pro registrador**

**MEMREAD: lê o que está na memoria**

**ALUSRC: porque se trata de uma instrução do tipo I**

**ALUOP: seta o OPCODE da determinada instrução**

**REGWRITE: escreve o que esta na memoria**

**REGDST: registrador que recebe a informacao da memoria**

**Questão 6:** Em quais tipos de instrução o controle ALU\_ SRC deve ser habilitado (colocado em nível lógico alto)? Explique.

**R.**: No na instrução do Tipo-I (lw e sw).

**Questão 7:** Considere que o estado atual dos registradores seja o seguinte:

|  |  |
| --- | --- |
| $t1 | 0x10010002 |
| $t2 | 0x10010004 |
| $t3 | 0x10010008 |
| $t4 | 0x1001000B |

Qual o valor na saída da ULA quando executada a instrução **"SW St1, 4($t3)"**? Explique.

R.: 0x10010002. A instrução sw, entao devemos pegar o valor de $t1 e deslocar em 4 a partir do $t3, mas como ele pede o resultado final então é o proprio valor do $t1.

**Questão 8:** A memória de dados presente no circuito é de 4MB. O endereço de memória a ser acessado em operações Load e Store é fornecido pela ULA. São usados 20 bits (0-19) de bits de saída da ULA. Caso seja desejado dobrar a quantidade de memória de dados, qual alteração deve ser feita no circuito em questão? Justifique.